

**Method for forming polycrystalline thin film and method for fabricating thin-film transistor**

Patent Number: US5766989  
Publication date: 1998-06-16  
Inventor(s): FURUTA MAMORU (JP); MIYATA YUTAKA (JP); MAEGAWA SHIGEKI (JP); TSUTSU HIROSHI (JP); KAWAMURA TETSUYA (JP)  
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD (JP)  
Requested Patent: ☐ US5766989  
Application Number: US19950579140 19951227  
Priority Number (s): JP19940325177 19941227; JP19950003631 19950113  
IPC Classification: H01L21/268  
EC Classification: H01L21/20D2, H01L21/336D2B  
Equivalents: CN1050221B, CN1131340, KR227439

---

**Abstract**

---

A method for forming a polycrystalline semiconductor thin film according to the present invention includes the steps of: forming a semiconductor thin film partially containing microcrystals serving as crystal nuclei for polycrystallization on an insulating substrate; and polycrystallizing the semiconductor thin film by laser annealing.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-195492

(43)公開日 平成8年(1996)7月30日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/786			
	21/336			
	21/20			
	21/205			

H 0 1 L 29/ 78 6 2 7 G

審査請求 未請求 請求項の数7 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平7-3631

(22)出願日 平成7年(1995)1月13日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 筒 博司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 前川 茂樹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 古田 守

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 森本 義弘

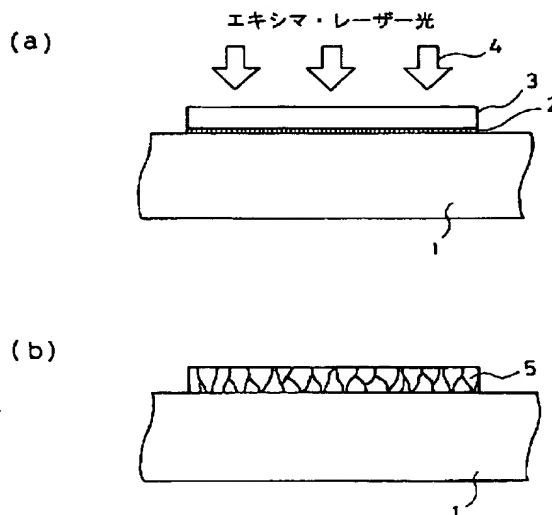
最終頁に続く

(54)【発明の名称】 多結晶薄膜の形成方法および薄膜トランジスタの製造方法

(57)【要約】

【目的】 各種デバイスに応用される多結晶薄膜の製造方法ならびに液晶表示素子、センサーアレイ、RAMなどに用いる薄膜トランジスタの製造方法において、均一性の良い製造方法を提供する。

【構成】 レーザーアニールにより非晶質薄膜を多結晶化して多結晶薄膜を形成するに際し、前駆体である非晶質シリコン薄膜が微結晶シリコン薄膜2を含んだ非晶質シリコン薄膜3に形成し、レーザーアニールして多結晶シリコン薄膜5を製造する。



- 1...ガラス基板
- 2...微結晶シリコン薄膜
- 3...非晶質シリコン薄膜
- 4...多結晶シリコン薄膜

## 【特許請求の範囲】

【請求項 1】 絶縁性基板上に非晶質を主成分とする前駆体薄膜を形成する工程と前記前駆体薄膜をレーザーアニールにより多結晶を形成する工程を含む多結晶薄膜の形成方法において、前記前駆体薄膜は多結晶化の結晶核となる微結晶を含むことを特徴とする多結晶薄膜の形成方法。

【請求項 2】 前駆体薄膜は絶縁性基板上に微結晶層と非晶質層を堆積することにより、  
非晶質層／微結晶層／絶縁性基板  
非晶質層／微結晶層／非晶質層／絶縁性基板  
微結晶層／非晶質層／絶縁性基板  
のいずれかの構成をとることを特徴とする請求項 1 記載の多結晶薄膜の形成方法。

【請求項 3】 微結晶層は CVD 法を用いて堆積されることを特徴とする請求項 2 記載の多結晶薄膜の形成方法。

【請求項 4】 CVD 法はプラズマ CVD 法、リモートプラズマ CVD 法 ECR-CVD 法、LP-CVD 法もしくは熱 CVD 法のいずれかであることを特徴とする請求項 3 記載の多結晶薄膜の形成方法。

【請求項 5】 レーザーアニールはエキシマ・レーザーを用いることを特徴とする請求項 4 記載の多結晶薄膜の形成方法。

【請求項 6】 多結晶薄膜はシリコンもしくはゲルマニウムを主成分とする半導体薄膜であることを特徴とする請求項 5 記載の多結晶薄膜の形成方法。

【請求項 7】 多結晶半導体を活性半導体層に用いる薄膜トランジスタの製造方法において、請求項 1 記載の多結晶薄膜の形成方法を用いることを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は様々な用途に用いられている多結晶薄膜の形成方法、ならびに液晶を駆動する液晶表示装置（以下 LCD と略記する）や画像読み取り用センサや RAM（Random Access Memory）の負荷などに用いられている薄膜トランジスタの製造方法に関するものである。

## 【0002】

【従来の技術】 以下、液晶表示装置用に開発が進められている多結晶シリコン薄膜トランジスタとその製法を例として、図面を用いて説明を行う。

【0003】 近年薄膜トランジスタを用いた液晶表示の分野では、高価な石英基板ではなく安価なガラス基板が使用可能な比較的低温（概ね 600℃以下）で作成できる多結晶シリコン薄膜トランジスタ（以下、poly-Si TFT と略記する）が注目を集めている。低温で多結晶シリコンを形成する手法の一つに、レーザーアニールを用いて非晶質シリコンを局所的に溶融・結晶化させる方法

がある。この方法の欠点はレーザーがパルス・レーザーであるため、各パルスの重ね合せ部分で結晶性が低下するため、パルス重ね合せ部分のトランジスタ特性が悪いということが挙げられる。これを解決するため、たとえば、Extended Abstracts of the 1991 International Conference on Solid State Devices and Materials, Yokohama, 1991, p.p.623-625 には、エキシマ・レーザー照射時に基板を加熱する方法が記載されている。ここでは、従来の poly-Si TFT の製造方法として、上述の Extended Abstracts of the 1991 International Conference on Solid State Devices and Materials, Yokohama, 1991, p.p.623-625 を従来例として簡単に説明する。

【0004】 図 7 は従来例での薄膜トランジスタの断面図であり、この図を用いて以下説明する。まずガラス基板 15 上に非晶質シリコン層を全面に堆積した後、基板を 400℃に加熱してエキシマレーザーを照射し、基板上の非晶質シリコン層を局所的に加熱溶融して結晶化させ、多結晶シリコンを得る。そして、フォトリソグラフィとエッチングにより所望の島状のパターン化された多結晶シリコン薄膜 16 を得る。次にゲート絶縁層 17 として AP-CVD 法により SiO<sub>2</sub> 層を形成する。次に、その上に形成したゲート電極 18 を用いてドナーもしくはアクセプタとなる不純物を導入し、ソース領域 19 とドレイン領域 20 を形成する。つづいて層間絶縁層 21 を形成し、ソース領域 19 およびドレイン領域 20 に達するコンタクト・ホール 22 を介してソース電極 23 およびドレイン電極 24 を形成することにより poly-Si TFT を作製している。

【0005】 また、非晶質シリコンを半導体層として用いるトランジスタよりも poly-Si TFT は大きな電界効果移動度を有するので、不純物としてボロンもしくはリンを選択的に用いることにより P チャンネルおよび N チャンネルトランジスタを選択的に作成可能であることから、CMOS 回路を形成でき、絵素トランジスタの駆動回路を同一基板上に作り込むことも可能である（特に図示はしない）。

【0006】 この場合、基板加熱により poly-Si TFT の移動度のバラツキは ±10% 以内に抑えられている。

## 【0007】

【発明が解決しようとする課題】 図 7 のような製法で poly-Si TFT を作製した場合でも、本発明者等の検討によれば、不十分であることがわかった。すなわち、移動度のバラツキが ±10% ではこれを用いて液晶ディスプレイ（以下 LCD と略記する）を作製しても、画像上に移動度の低い部分が筋状のムラとなって現われ、表示品位が極めて低くなるという課題を有している。

【0008】 本発明はかかる点に鑑み、均一性に優れた多結晶薄膜の形成方法を提供するとともに移動度のバラツキをより小さく抑制した薄膜トランジスタの製造方法

を提供することを目的とするものである。

【0009】

【課題を解決するための手段】発明者等が検討した結果、画像上にムラが現れない移動度のバラツキの最大値は±5%であることがわかった。一方、図8はエキシマレーザービームの1ショットのエネルギー分布を示す模式図であり、A-A'断面ではビームエッジでエネルギーが低くなっていることがわかる。また、(図9

(a))にはエキシマレーザーアニールでしばしば用いられるステップアンドリビート照射を模式的に示した。この照射方法により薄膜トランジスタを形成した場合の断面B-B'での移動度を(図9(b))に模式的に表わした。レーザーの各ショットの重ね合わせ部分で結晶性がばらつくため、移動度が大きくばらついている。このバラツキの原因は、1つのレーザーショットの周辺部においてエネルギーの低い部分(図8(a)および

(b))が存在し、その部分は十分な大きな結晶粒に成長せず、小さな結晶粒にとどまることが主要な原因であることがわかった。そこで発明者等が子細に検討した結果、レーザー・アニールの前駆体である非晶質中に一定の密度で微結晶が存在すれば、その微結晶を結晶核として結晶粒が成長するため、結晶性のバラツキ、すなわち移動度などの特性のバラツキを抑制するために極めて有効であることがわかった。

【0010】そこで上記課題を解決するために本発明の多結晶薄膜の形成方法は、前駆体である非晶質中に微結晶をあらかじめ堆積して含有させることを特徴とするものであり、さらに上記形成方法で得られた多結晶薄膜を有する多結晶半導体を活性半導体層に用いて薄膜トランジスタを製造することを特徴とするものである。

【0011】

【作用】本発明は、上記構成により均一性に優れた多結晶薄膜を提供できるとともに、この多結晶薄膜を用いて薄膜トランジスタを製造することにより、バラツキの少ない、均一性の良い薄膜トランジスタを得ることができる。

【0012】

【実施例】

(実施例1)以下、本発明の一実施例を図面をもとに説明する。

【0013】図1は本発明の第1の実施例の多結晶薄膜の製造方法を説明するための工程断面図であり、以下製造方法を順を追って説明する。図には明示しなかったがガラス基板中の不純物の拡散を防ぐためのバッファ層としてSiO<sub>2</sub>膜を被着した基板1(コーニング社製7059ガラス)上にたとえばシラン(SiH<sub>4</sub>)と水素(H<sub>2</sub>)を原料ガスとして用いたプラズマCVD法により膜厚5nmの微結晶シリコン薄膜2を形成し、続いて原料ガスとしてシランのみを用いて50nmの非晶質シリコン薄膜3を形成する(図1(a))。そして通常の

フォトリソグラフィとエッチングにより島状に微細加工した後、波長308nm、パルス幅45nsecのXeClエキシマ・レーザー光4を200~500mJ/cm<sup>2</sup>のエネルギー密度でステップアンドリビートを繰り返しながら照射して結晶化を行う。このとき、微結晶層2が種結晶となって結晶粒の成長が行われるため、全面に均一な結晶粒をもつ多結晶シリコン層5が得られる。

【0014】(実施例2)図2は本発明の第2の実施例による多結晶薄膜の製造方法を説明するための工程断面図であり、この図を用いて説明する。図には特に明示しなかったがガラス基板中の不純物の拡散を防ぐためのバッファ層としてSiO<sub>2</sub>膜を被着したガラス基板1(コーニング社製7059ガラス)上にたとえばジシラン(Si<sub>2</sub>H<sub>6</sub>)を原料ガスとして用いたCVD法により膜厚80nmの非晶質シリコン(a-Si)薄膜3を450℃で形成する。引き続き、480℃で5nmの微結晶シリコン薄膜2を堆積する(図2(a))。次に、エキシマレーザー光4を実施例1と同様に照射して多結晶シリコン薄膜5を得る(図2(b))。本実施例では、a-Siの膜厚を80nmとし、実施例1の場合に比較して30nm厚くしたため結晶化がa-Si表面側からおこることが多いので、種結晶としての微結晶をa-Si表面に堆積した。

【0015】(実施例3)図3は本発明の第3の実施例による多結晶薄膜の製造方法を説明するための工程断面図であり、この図を用いて説明する。図には特に明示しなかったがガラス基板中の不純物の拡散を防ぐためのバッファ層としてSiO<sub>2</sub>膜を被着したガラス基板1(コーニング社製7059ガラス)上に例えばシラン(以下SiH<sub>4</sub>)を原料ガスとして用いたプラズマCVD法により膜厚20nmの非晶質シリコン(a-Si)薄膜3を300℃で形成する。引き続き、弗化シリコン(以下SiF<sub>4</sub>)を原料ガスとして用いて5nmの微結晶シリコン薄膜2を堆積する。さらに、シラン(以下SiH<sub>4</sub>)を原料ガスとして用いて膜厚20nmの非晶質シリコン(a-Si)薄膜6を堆積する(図3(a))。次に、エキシマレーザー光4を実施例1と同様に照射して多結晶シリコン薄膜を得る(図3(b))。本実施例では、種結晶となる微結晶シリコンをa-Siでサンドイッチする形に形成した。

【0016】上記実施例1~3では多結晶化させる薄膜材料として、シリコンを用いたがこれは、シリコンに限定するものではなく、たとえば半導体材料ならばゲルマニウムやシリコン・ゲルマニウム合金(SiGe)などでもよい。また、非晶質材料の堆積方法としてプラズマCVDと熱CVDを例示したが他の堆積方法、たとえばECR-CVD、リモートプラズマCVD、スパッタ法などでも良いのは言うまでもない。また基板もコーニング社製の7059ガラス基板に限定されるものではない。

く、他のガラス基板、石英、サファイア等の絶縁性基板であれば良いことも言うまでもない。

【0017】(実施例4) 図4は本発明の第4の実施例の薄膜トランジスタの製造方法を説明するための工程断面図であり、以下製造方法を順を追って説明する。図には明示しなかったがガラス基板中の不純物の拡散を防ぐためのバッファ層としてSiO<sub>2</sub>膜を被着したガラス基板1(コーニング社製7059ガラス)上にたとえばシラン(SiH<sub>4</sub>)と水素(H<sub>2</sub>)を原料ガスとして用いたプラズマCVD法により膜厚5nmの微結晶シリコン2を形成し、続いて原料ガスとしてシランのみを用いて50nmの非晶質シリコン薄膜3を形成する(図1(a))。そして通常のフォトリソグラフィとエッチングにより島状に微細加工した後、波長308nm、パルス幅45nsecのXeClエキシマ・レーザー光4を200~500mJ/cm<sup>2</sup>のエネルギー密度でステップアンドリビートを繰り返しながら照射して結晶化を行う。このとき、微結晶薄膜2が種結晶となって結晶粒の成長が行われるため、全面に均一な結晶粒をもつ多結晶シリコン薄膜5が得られる(図1(b))。次に、たとえばAP-CVD法にてSiO<sub>2</sub>をゲート絶縁層7として全面に堆積する。そして、たとえばスパッタ法によりクロム(Cr)を被着して、フォトリソグラフィとエッチングによりCrをパターン化しゲート電極8を形成する。そしてこの状態のゲート電極8をドーピング時のマスクとして用いてソース・ドレイン領域を形成するためドナーまたはアクセプタとなる不純物元素の注入を質量分離を行わないイオンドーピング法(あるいは、バケットタイプイオンドーピング法;例えばExtended Abstracts of the 22nd (1990) International Conference on Solid State Devices and Materials, p. 971 または p.1197 に記載されている方法である)で行い、ソース領域9およびドレイン領域10を作る(図1(c))。導入された不純物を活性化させるには300~600℃程度で熱処理を行う。そしてこの後、層間絶縁用としてたとえばAP-CVD法で絶縁膜SiO<sub>2</sub>膜11を形成し、これにソース領域9およびドレイン領域10に達するコンタクト・ホール12を形成し、ソース電極13およびドレイン電極14としてたとえばアルミニウム(Al)をスパッタ法で堆積し、その後フォトリソグラフィ・エッチングでパターン化することにより、poly-Si TFTが完成する(図1(d))。水素により多結晶の粒界にあるダングリング・ボンドを補償することによりさらに特性が向上するので水素化工程を付加することが望ましい。この場合、TFTの移動度のバラツキは4%が得られた。

【0018】(実施例5) 図5は本発明の第5の実施例の薄膜トランジスタの製造方法を説明するための工程断面図であり、以下製造方法を順を追って説明する。図には特に明示しなかったがガラス基板中の不純物の拡散を

防ぐためのバッファ層としてSiO<sub>2</sub>膜を被着したガラス基板1(コーニング社製7059ガラス)上にたとえばシラン(SiH<sub>4</sub>)を原料ガスとして用いたCVD法により膜厚80nmの非晶質シリコン(a-Si)薄膜3を450℃で形成する。引き続き、480℃で5nmの微結晶シリコン薄膜2を堆積する(図5(a))。以降は、エキシマレーザー光4を照射し多結晶シリコンを得て(図5(b))、実施例4と同様のプロセスで薄膜トランジスタを完成させる(図5

(d))。本実施例では、a-Siの膜厚を80nmとし、実施例4の場合に比較して30nm厚くしたため結晶化がa-Si表面側からおこることが多いので、種結晶としての微結晶をa-Si表面に堆積した。この場合、TFTの移動度のバラツキは4.5%が得られた。

【0019】(実施例6) 図6は本発明の第6の実施例の薄膜トランジスタの製造方法を説明するための工程断面図であり、以下製造方法を順を追って説明する。図には特に明示しなかったがガラス基板中の不純物の拡散を防ぐためのバッファ層としてSiO<sub>2</sub>膜を被着したガラス基板1(コーニング社製7059ガラス)上にたとえばシラン(以下SiH<sub>4</sub>)を原料ガスとして用いたプラズマCVD法により膜厚20nmの非晶質シリコン(a-Si)薄膜3を300℃で形成する。引き続き、弗化シリコン(以下SiF<sub>4</sub>)を原料ガスとして用いて5nmの微結晶シリコン薄膜2を堆積する。さらに、シラン(以下SiH<sub>4</sub>)を原料ガスとして用いて膜厚20nmの非晶質シリコン(a-Si)薄膜6を堆積する(図6(a))。以降は、エキシマレーザー光4を照射し多結晶シリコン5を得て(図6(b))、実施例4および5と同様のプロセスで薄膜トランジスタを完成させる(図6(d))。本実施例では、種結晶となる微結晶シリコンをa-Siでサンドイッチする形に形成した。この場合、TFTの移動度のバラツキは4~5%が得られた。

【0020】上記実施例4~6では半導体材料として多結晶シリコンを用いたが、他の半導体材料、たとえばゲルマニウム(Ge)やシリコン・ゲルマニウム合金(SiGe)などを用いても良い。また、ゲート電極8の材料にはCr、ソース電極13およびドレイン電極14の材料としてAlを用いたが、アルミニウム(Al)、タンタル(Ta)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)などの金属またはそれらの合金でも良いし、不純物を多量に含むpoly-Siやpoly-SiGe合金やITOなどの透明導電層などでも良い。また、オフ特性を改善するためLDD構造を採用することも可能である。不純物としてアクセプタとなるボロンや砒素など、ドナーとしてリンやアルミニウムなどを選択的に用いることによりPチャンネルおよびNチャンネルトランジスタを選択的に作成して、CMOS回路を基板上につくり込むことも可能であることも言うまでもな

い。

【0021】

【発明の効果】以上のように、本発明によれば、前駆体薄膜は多結晶化の結晶核となる微結晶層を含み、この微結晶層が種結晶となって結晶粒の成長が行われるため、結晶粒径が均一で、均一性の高い多結晶薄膜が製造できる。また、このように形成された多結晶薄膜を用いて製造された薄膜トランジスタは均一性に優れた薄膜トランジスタであり、その実用上の効果は大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施例の多結晶薄膜の製造方法を説明するための主要工程毎の概略断面図である。

【図2】本発明の第2の実施例の多結晶薄膜の製造方法を説明するための主要工程毎の概略断面図である。

【図3】本発明の第3の実施例の多結晶薄膜の製造方法を説明するための主要工程毎の概略断面図である。

【図4】本発明の第4の実施例の薄膜トランジスタの製造方法を説明するための主要工程毎の概略断面図である。

【図5】本発明の第5の実施例の薄膜トランジスタの製造方法を説明するための主要工程毎の概略断面図である。

【図6】本発明の第6の実施例の薄膜トランジスタの製造方法を説明するための主要工程毎の概略断面図である。

＊

【図7】従来の薄膜トランジスタの概略断面図である。

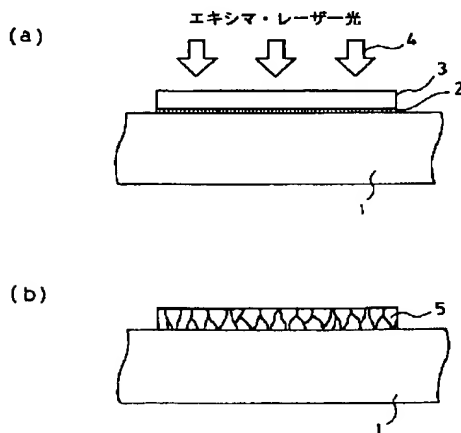
【図8】エキシマレーザービームの1ショットの平面模式図およびそのA-A'断面のエネルギー強度を示す模式図である。

【図9】エキシマレーザーによるステップアンドリビート照射方法を示す模式図およびステップアンドリビート法により照射した場合のB-B'断面でのトランジスタの移動度のバラツキを示す模式図である。

10 【符号の説明】

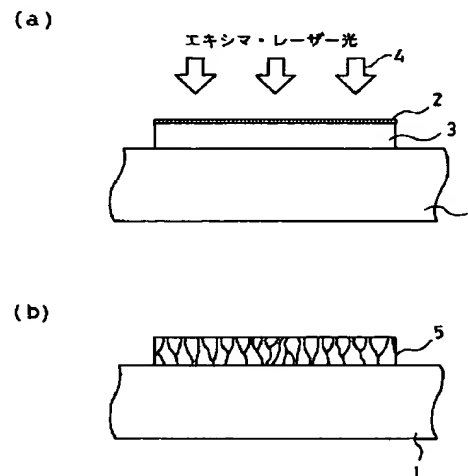
- 1 ガラス基板
- 2 微結晶シリコン層
- 3 非晶質シリコン層
- 4 エキシマ・レーザー光
- 5 多結晶シリコン装置
- 6 非晶質シリコン層
- 7 ゲート絶縁層
- 8 ゲート電極
- 9 ソース領域
- 10 ドレイン領域
- 11 層間絶縁層
- 12 コンタクト・ホール
- 13 ソース電極
- 14 ドレイン電極

【図1】

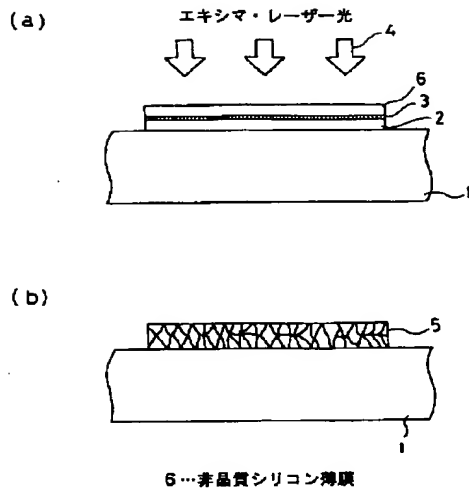


- 1…ガラス基板  
2…微結晶シリコン薄膜  
3…非晶質シリコン薄膜  
4…多結晶シリコン薄膜

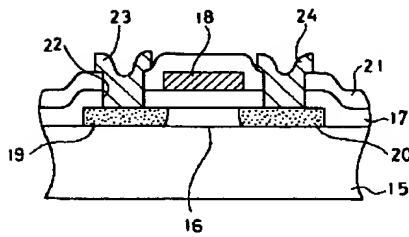
【図2】



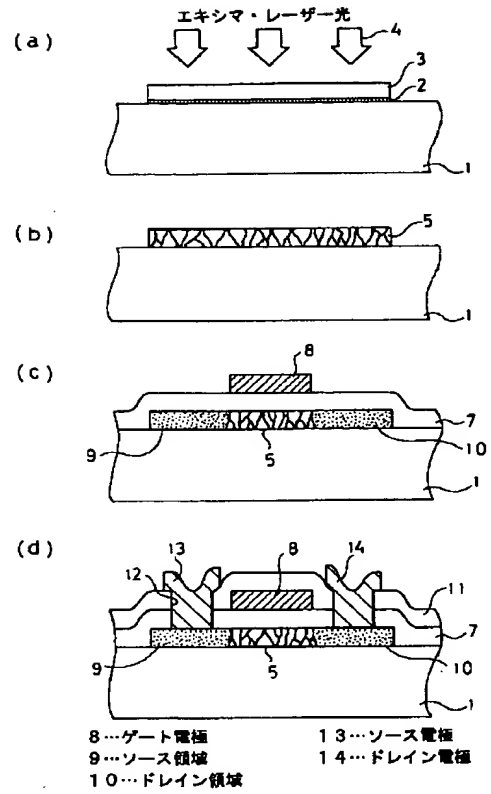
【図3】



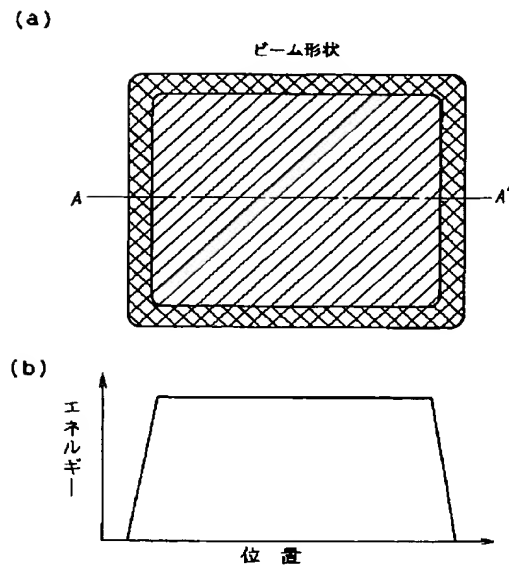
【図7】



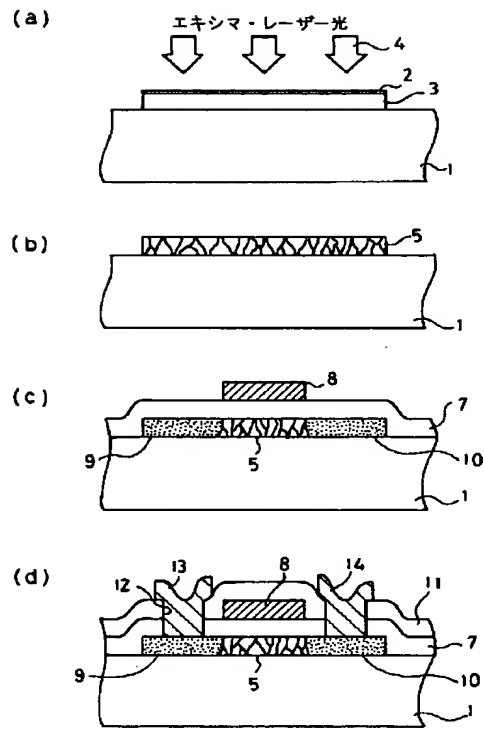
【図4】



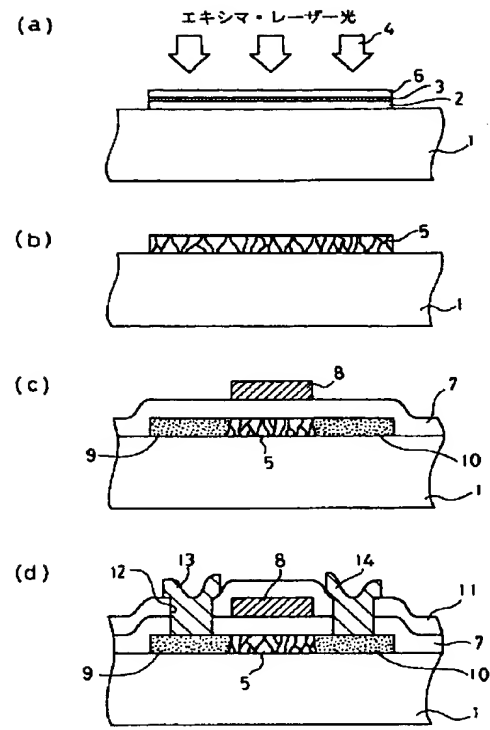
【図8】



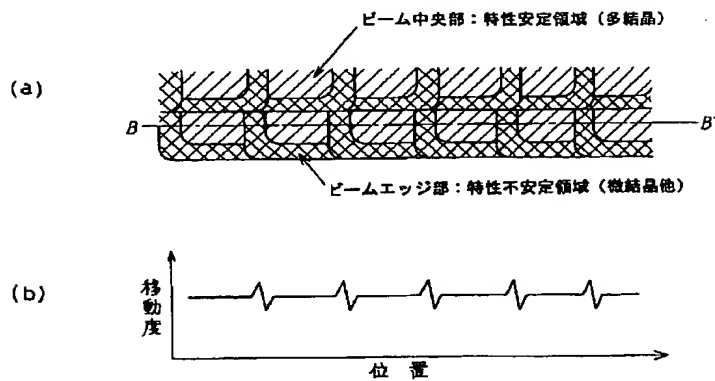
【図5】



【図6】



【図9】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 21/268  
27/12

識別記号 片内整理番号  
Z  
R

F I

技術表示箇所



(72)発明者 川村 哲也  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 宮田 豊  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

**POLYCRYSTALLINE THIN FILM FORMING METHOD AND THIN FILM SEMICONDUCTOR ELEMENT**

Patent Number: JP8181069  
Publication date: 1996-07-12  
Inventor(s): MAEKAWA SHIGEKI; FURUTA MAMORU; TSUTSU HIROSHI  
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD  
Requested Patent: ☐ JP8181069  
Application Number: JP19940325177 19941227  
Priority Number(s):  
IPC Classification: H01L21/20; C30B30/00; H01L21/268; H01L27/12; H01L29/786; H01L21/336  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To provide the method with which the crystal uniformity of the polycrystalline thin film on a substrate can be improved, and the irregularity in efficiency of the device arranged on the surface of the substrate is suppressed using the annealing of laser beam.

**CONSTITUTION:** A microscopic crystal Si thin film, having the average crystal grain diameter of about 20nm or smaller, is formed by annealing the amorphous Si thin film 2 on a substrate 5 using an excimer laser beam 1 in the first step of annealing, and a polycrystalline Si thin film 4 is formed by annealing the microscopic crystal Si thin film 3 using an excimer laser beam 1 in the second step of annealing. A thin film transistor is formed using the above-mentioned polycrystalline Si thin film 4.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-181069

(43) 公開日 平成8年(1996)7月12日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20				
C 3 0 B 30/00		7202-4G		
H 0 1 L 21/268	Z			
27/12	R			
			H 0 1 L 29/ 78	6 2 7 G
審査請求 未請求 請求項の数11 O L (全 6 頁) 最終頁に続く				

(21) 出願番号	特願平6-325177	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成6年(1994)12月27日	(72) 発明者	前川 茂樹 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72) 発明者	古田 守 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72) 発明者	筒 博司 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74) 代理人	弁理士 小鍛治 明 (外2名)

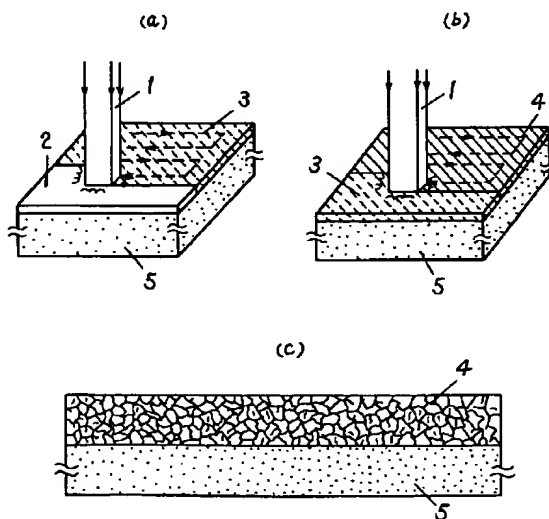
(54) 【発明の名称】 多結晶薄膜の形成方法及び薄膜半導体素子

(57) 【要約】

【目的】 レーザービームによるアニールを用いて、基板上の多結晶薄膜の結晶均一性を向上し、基板面内に分布するデバイスの性能ばらつきを抑制する方法を提供する。

【構成】 第1ステップのアニールで、基板5上の非晶質Si薄膜2に対し、エキシマレーザービーム1によるアニールを行い、平均結晶粒径が約20nm以下の微結晶Si薄膜3を形成し、次に第2ステップのアニールで、微結晶Si薄膜3に対し、エキシマレーザービーム1によるアニールを行い、多結晶Si薄膜4を形成する。この多結晶Si薄膜4を用いて薄膜トランジスタを作製する。

- 1 エキシマレーザービーム
- 2 非晶質Si薄膜
- 3 微結晶Si薄膜
- 4 多結晶Si薄膜
- 5 基板



## 【特許請求の範囲】

【請求項1】基板上に平均結晶粒径が20nm以下の微結晶を含む薄膜を形成する工程と、前記微結晶を含む薄膜をレーザービームでアニールすることにより平均結晶粒径が20nm以上の多結晶薄膜を形成する工程を少なくとも有することを特徴とする多結晶薄膜の形成方法。

【請求項2】基板上に平均結晶粒径が20nm以下の微結晶を含む薄膜を形成する工程と、200～600℃にある基板上的前記微結晶を含む薄膜をレーザービームでアニールすることにより平均結晶粒径が20nm以上の多結晶薄膜を形成する工程を少なくとも有することを特徴とする多結晶薄膜の形成方法。

【請求項3】基板上の非晶質薄膜をレーザービームでアニールすることにより、微結晶を含む薄膜を形成することを特徴とする請求項1または2記載の多結晶薄膜の形成方法。

【請求項4】レーザービームがエキシマレーザービームであることを特徴とする請求項1～3のいずれか1項に記載の多結晶薄膜の形成方法。

【請求項5】微結晶を含む薄膜がSiを主成分とする薄膜であることを特徴とする請求項1～4のいずれか1項に記載の多結晶薄膜の形成方法。

【請求項6】基板上に平均結晶粒径が20nm以下の微結晶を含む薄膜を形成する工程と、前記微結晶を含む薄膜をレーザービームでアニールすることにより平均結晶粒径が20nm以上の多結晶薄膜を形成する工程を少なくとも有する多結晶薄膜の形成方法を用いて作製したことを特徴とする薄膜半導体素子。

【請求項7】基板上に平均結晶粒径が20nm以下の微結晶を含む薄膜を形成する工程と、200～600℃にある基板上的前記微結晶を含む薄膜をレーザービームでアニールすることにより平均結晶粒径が20nm以上の多結晶薄膜を形成する工程を少なくとも有する多結晶薄膜の形成方法を用いて作製したことを特徴とする薄膜半導体素子。

【請求項8】基板上の非晶質薄膜をレーザービームでアニールすることにより、前記微結晶を含む薄膜を形成することを特徴とする請求項6または7記載の薄膜半導体素子。

【請求項9】レーザービームがエキシマレーザービームであることを特徴とする請求項6～8のいずれか1項に記載の薄膜半導体素子。

【請求項10】微結晶を含む薄膜がSiを主成分とする薄膜であることを特徴とする請求項6～9のいずれか1項に記載の薄膜半導体素子。

【請求項11】薄膜半導体素子が薄膜トランジスタであることを特徴とする請求項6～10のいずれか1項に記載の薄膜半導体素子。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置用の薄膜トランジスタ、イメージセンサ、あるいはSRAM等の製造工程等に用いられる多結晶薄膜の形成方法及びそれを用いて作製した薄膜半導体素子に関するものである。

【0002】

【従来の技術】近年、液晶表示装置は、大画面化、高精細化等の要求がますます高まっており、駆動素子としての薄膜トランジスタの高性能化が必要となってきている。現在、液晶表示装置に用いられる薄膜トランジスタの主流は、非晶質Si薄膜トランジスタであるが、素子性能の向上や駆動回路の基板内蔵化が可能等の利点がある多結晶Si薄膜トランジスタへと徐々に移行しつつある。多結晶薄膜形成技術としては、使用可能な基板が石英基板に制限される従来の高温形成技術に比較して、安価な低歪点のガラス基板を用いることができる低温（約600℃以下）形成技術の開発が盛んになってきている。特に基板への熱ダメージが小さく、非晶質薄膜を溶融結晶化して高品質な多結晶薄膜を得ることができるエキシマレーザーアニールが最も有望視されている。

【0003】以下、従来の多結晶薄膜の形成方法、特にエキシマレーザーアニールを用いた場合の多結晶Si薄膜の形成方法を例にして説明する。

【0004】図3は、エキシマレーザーアニールによる多結晶Si薄膜の形成工程を示す模式図である。図3に示すように、縦横の幅を約5～10mmの断面形状に整形したレーザービーム1を基板5に対し相対的に移動させながら、非晶質Si薄膜全面に照射する。この際、エキシマレーザーはパルス状レーザーであるので、未照射領域が残らないように既照射領域に重ねて照射するようにする。このようにして形成した多結晶Si薄膜4は、レーザービーム断面のエッジ周辺部のエネルギー密度が小さい部分で照射された領域4aでは結晶性が大きく変動する。したがって、この多結晶Si薄膜4を用いて作製したデバイス特性は周期的に変動することになる。

【0005】図4(a)～(c)は、従来例Aのエキシマレーザーアニールを用いた多結晶薄膜の形成方法及び形成された多結晶Si薄膜断面の一部分を示す模式図である。図4に示すように従来例Aでは、異なるエネルギー密度のレーザービームで2度にわたり照射する2ステップアニールを用いている（以降、レーザービームを基板に対し相対的に移動しながら、多結晶Si薄膜を形成すべき領域を一通り照射し終える過程を1つのステップと数える）。まず第1ステップのアニール（図4(a)）において、基板5上記の非晶質Si薄膜2に約270mJ/cm<sup>2</sup>のエネルギー密度のレーザービーム1を照射し、微結晶Si薄膜3を形成する（ただし、従来例Aにおいては平均結晶粒径が50nm程度のものも微結晶と呼んでいる）。次に第2ステップのアニール（図4(b)）において、約450mJ/cm<sup>2</sup>のエネルギー密度のレーザービーム1を照射し、結晶性能を向上させる（図4

(c))。とりわけ第1ステップのアニールで生じた結晶性が変動する領域(概ね周囲に比較して結晶性に劣る微結晶Siの領域)の結晶性能を向上させ、多結晶Si薄膜4の結晶均一性を良好させる。

【0006】以上、従来例Aのようなエキシマレーザーの2ステップアニールによる多結晶薄膜の形成方法については、例えばエクステンディッド・アブストラクト・オブ・エス・エス・ディー・エム B-1-4 (1992年)第55頁から第57頁(Extended Abstracts of the 1992 International Conference on Solid State Devices and Materials B-1-4(1992)P.55-57)に報告されている。

【0007】図5(a)~(b)は、従来例Bのエキシマレーザーアニールを用いた多結晶Si薄膜の形成方法及び形成された多結晶薄膜断面の一部分を示す模式図である。図5に示すように従来例Bでは、約400°Cに加熱した基板5上の非晶質Si薄膜2に対し、約300mJ/cm<sup>2</sup>のエネルギー密度のエキシマレーザーによるアニールを行う(図5(a))。基板加熱状態においては、非加熱状態に比較して、凝固速度が小さくなって結晶成長が促進されるとともに、非加熱状態のアニールにおいては融点まで到達せず、溶融しなかった領域において、基板加熱を行った分だけ薄膜の温度が底上げされ、融点まで達して溶融状態になる。そのため、レーザービーム照射領域全体が溶融結晶化の過程を経ることにより、図5(b)のように、多結晶Si薄膜の結晶均一性は良好する(ここで、非加熱状態でレーザービームのエネルギー密度を高くして照射領域全体を溶融する方法もあるが、薄膜のアブレーションが発生する頻度が高くなるので、この方法はあまり用いることができない)。

【0008】以上、従来例Bのような基板加熱状態でのエキシマレーザーアニールによる多結晶薄膜の形成方法については、例えばアイ・イー・ディー・エム・テクニカル・ダイジェスト(1991年)第563頁から第566頁(IEDM Tech. Digest, (1991)P.563-566)に報告されている。

【0009】

【発明が解決しようとする課題】しかし従来例の方法では次に示すような問題点があった。従来例Aの場合、第1ステップのアニールにおいて、レーザービーム1の断面のエッジ周辺部、特に結晶化しきい値近傍のエネルギー密度の部分が照射される領域では、平均結晶粒径が約50nmの周囲と比較して平均結晶粒径が小さい結晶領域が形成されるため、次に領域を重ねて照射した際や第2ステップのアニールにおいも、若干の結晶粒径の拡大や結晶欠陥の低減等がある程度であった。したがって、非晶質Siからの溶融結晶化を経た多結晶Si領域との結晶性能の差は依然として大きく、アニール後の薄膜から作製したデバイス性能の基板面内均一性の向上も不十分であった。

【0010】また、従来例Bの場合、周囲と比較して平均結晶粒径が小さい結晶領域でも溶融結晶化は起こるが、非晶質から多結晶へ変化する場合と、前記平均結晶粒径が小さい結晶状態から多結晶へ変化する場合は、結晶化に必要なエネルギーが異なり、生成する結晶性にも差が生じる。したがって、アニール後の薄膜から作製したデバイスの性能の面内均一性も、従来例Aと同様不十分であった。

【0011】そこで本発明は、従来の結晶性を維持しながら、結晶均一性を向上する多結晶薄膜の形成方法及びそれを用いた薄膜半導体素子を提供することを目的とする。

【0012】

【課題を解決するための手段】従来の課題を解決するため、本発明は平均結晶粒径が20nm以下の基板上的微結晶薄膜をレーザービームによってアニールを行って平均結晶粒径が20nm以上の多結晶薄膜を形成する方法である。また200~600°Cの熱平衡状態にある前記基板上的微結晶薄膜をレーザービームでアニールを行って平均結晶粒径が20nm以上の多結晶薄膜を形成する方法である。

【0013】また、基板上的多結晶薄膜を前記多結晶薄膜の形成方法を用いて作製する薄膜半導体素子である。

【0014】

【作用】上記手段により、多結晶薄膜の基板面内における結晶均一性が向上するとともに、基板加熱した場合には、結晶粒径が拡大し、結晶歪みが低減するため、高品質な多結晶薄膜が得られる。また、前記多結晶薄膜を用いて作製した薄膜半導体素子の性能の面内均一性は向上する。

【0015】

【実施例】以下、本発明の多結晶薄膜の形成方法、特に非晶質Si薄膜に対してエキシマレーザービームによるアニールを行って多結晶Si薄膜を形成する場合を例にして、図面を参照しながら説明する。また、以降、平均結晶粒径が20nm以下を微結晶、20nm以上を多結晶と呼ぶことにする。

【0016】(実施例1)図1(a)~(c)は、第1の実施例におけるエキシマレーザー(XeClレーザー、波長:308nm)によるアニールを用いた多結晶Si薄膜の形成方法及び形成された多結晶Si薄膜断面の一部分を示す模式図である。図1(a)に示すように、第1ステップのアニールにおいて、ビーム断面の中央部が結晶化しきい値近傍(約200mJ/cm<sup>2</sup>)のエネルギー密度を有するエキシマレーザービーム1によるアニールを行って、基板5上の非晶質Si薄膜2の微結晶化を行う。この時、結晶化しきい値以下のエネルギー密度を有するビームエッジ周辺部が照射される領域は非晶質のまま初期状態と変化しない。したがって、既照射領域に重ねながら照射していくことにより、微結晶Si薄膜3が形成される。

次に、図1(b)に示すように、第2ステップのアニール

ルにおいて、約400mJ/cm<sup>2</sup>のエネルギー密度のエキシマレーザービームでアニールを行い、微結晶Si薄膜3から多結晶Si薄膜4を形成する。この時、結晶化しきい値エネルギー近傍及びそれ以下のエネルギー密度の照射領域は微結晶のまま変化しないのであまり考慮する必要はない。また、それ以上のエネルギー密度の照射領域は第1ステップで形成された微結晶の骨格を残しながら多結晶へと成長する。これは、非晶質、微結晶、そして多結晶へと結晶化が進むにつれて、融点は高くなり、レーザー光の吸収係数は小さくなる傾向にあるため、一度非晶質から微結晶や多結晶に変化すると、熔融や結晶性変化するのにさらに余分にエネルギーが必要になるためである。したがって、第1ステップ、第2ステップのアニール時のいずれの場合も結晶性が変動する領域は生成されず、結晶均一性は向上する。また、このようにして形成された多結晶Si薄膜4(図1(c))を用いて薄膜トランジスタを作製したところ、従来例Aの方法を用いて作製した薄膜トランジスタの移動度ばらつきが±10%であったのに対し、±5%まで改善した。

【0017】(実施例2)図2(a)~(c)は、第2の実施例におけるエキシマレーザーによるアニールを用いた多結晶Si薄膜の形成方法及び形成された多結晶Si薄膜断面の一部分を示す模式図である。図2(b)に示すように第2ステップのアニールにおいて、基板5の温度をヒータ等の基板加熱手段6を用いて、約200~600℃に保持した状態で、微結晶Si薄膜3の多結晶化を行う。この時、従来例Bのように、第1ステップのアニールにおいて結晶性の変動する領域は生成されないため、第1の実施例と同様に結晶均一性は向上する。また、第2ステップのアニール時においては、薄膜と基板との温度差が非加熱時と比べて小さくなるため、薄膜から基板への熱の流れが減少し、凝固(冷却)速度が遅くなる。したがって、非加熱状態のアニールに比較して結晶粒径は拡大し、凝固時に生成する結晶歪みも低減するため、高品質でかつ基板面内均一性が良好な多結晶Si薄膜が形成される。また、このようにして形成された多結晶Si薄膜4(図2(c))を用いて薄膜トランジスタを作製すれば、第1の実施例と同様の効果が得られる。

【0018】なお、第1及び第2の実施例ではレーザーとしてエキシマレーザーを用いたが、他のレーザー、例えばYAGレーザーでも同様の効果が得られる。

【0019】また、基板上的薄膜として、Si薄膜の場合について説明したが、他の薄膜、例えばGe薄膜でも同様の効果が得られる。

【0020】さらに、基板上の微結晶薄膜として、非晶質薄膜をレーザービームによるアニールを行って得られた微結晶薄膜を用いたが、例えば基板上にLPCVD法等で直接成膜した微結晶薄膜を用いても同様の効果が得られる。

【0021】

【発明の効果】以上のように本発明によれば、平均結晶粒径が約20nm以下の微結晶薄膜からレーザービームによるアニールを用いて、平均結晶粒径が約20nm以上の多結晶薄膜を形成することにより、基板面内の結晶均一性は向上する。しかも、基板加熱した場合には結晶粒径の拡大、結晶歪みの低減のため高品質な多結晶薄膜が得られる。また、多結晶薄膜を用いて作製するデバイスの基板面内におけるばらつきを抑制することができる。

【図面の簡単な説明】

【図1】(a)は第1の実施例における形成方法の第1ステップのアニールを示す図

(b)は第1の実施例における形成方法の第2ステップのアニールを示す図

(c)は形成された多結晶Si薄膜の部分断面図

【図2】(a)は第2の実施例における形成方法の第1ステップのアニールを示す図

(b)は第2の実施例における形成方法の第2ステップのアニールを示す図

(c)は形成された多結晶Si薄膜の部分断面図

【図3】エキシマレーザーによるアニールを用いた多結晶Si薄膜の形成工程を示す模式図

【図4】(a)は従来例Aにおける形成方法の第1ステップのアニールを示す図

(b)は従来例Aにおける形成方法の第2ステップのアニールを示す図

(c)は形成された多結晶Si薄膜の部分断面図

【図5】(a)は従来例Bにおける形成方法のアニールを示す図

(b)は形成された多結晶Si薄膜の部分断面図

【符号の説明】

1 エキシマレーザービーム

2 非晶質Si薄膜

3 微結晶Si薄膜

4 多結晶Si薄膜

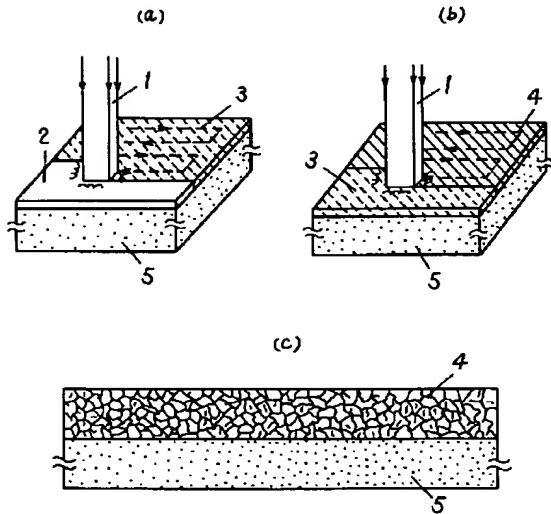
4a 結晶性が変動する領域

5 基板

6 基板加熱手段

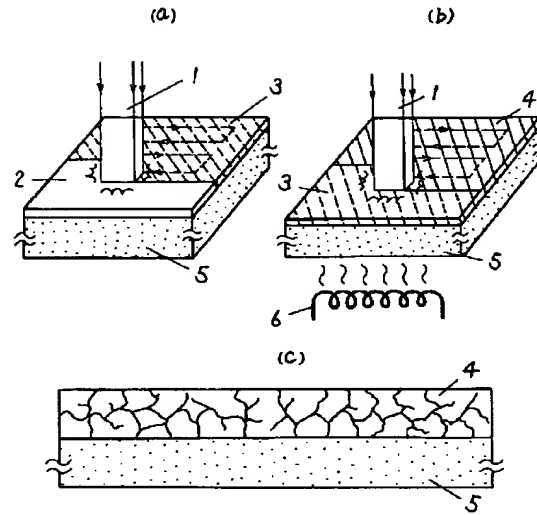
【図1】

- 1 エキシマレーザービーム
- 2 非晶質Si薄膜
- 3 微結晶Si薄膜
- 4 多結晶Si薄膜
- 5 基板



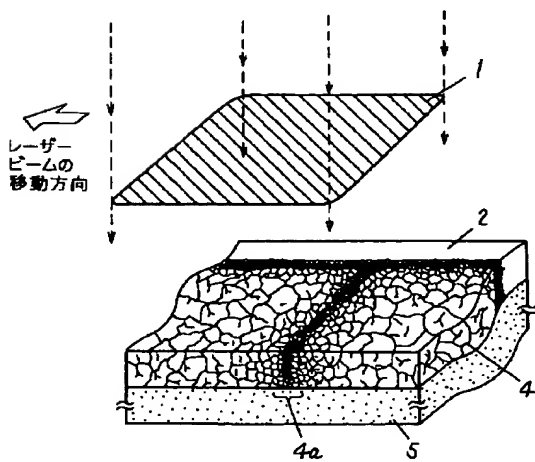
【図2】

- 1 エキシマレーザービーム
- 2 非晶質Si薄膜
- 3 微結晶Si薄膜
- 4 多結晶Si薄膜
- 5 基板
- 6 基板加熱手段



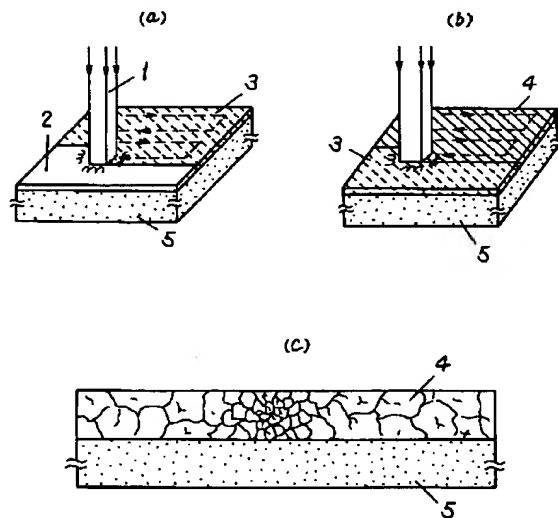
【図3】

- 1 エキシマレーザービーム
- 2 非晶質Si薄膜
- 4 多結晶Si薄膜
- 4a 結晶性が変動する領域
- 5 基板



【図4】

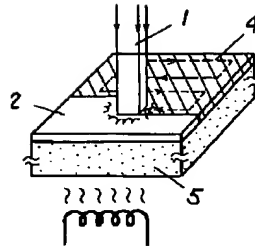
- 1 エキシマレーザービーム
- 2 非晶質Si薄膜
- 3 微結晶Si薄膜
- 4 多結晶Si薄膜
- 5 基板



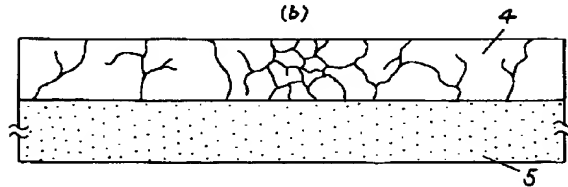
【図5】

- 1 エキシマレーザービーム
- 2 非晶質Si薄膜
- 4 多結晶Si薄膜
- 5 基板
- 6 基板加熱手段

(a)



(b)



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H 0 1 L 29/786

21/336

識別記号

庁内整理番号

F I

技術表示箇所